

Wafer Level Chip Scale Packages – Anforderungen an Design, Substrat- und Fertigungstechnologie

Jens Müller
Micro Systems Engineering GmbH & Co.
Schlegelweg 17
95180 Berg/Oberfranken
Tel.: 09293/78-64 Fax: 09293/78-41
E-Mail: jmueller@mse.biotronik-erlangen.de

Key Words: Chip Scale Package (CSP), HDI-Board Technologie, Advanced SMT, LTCC

1. Einleitung

Die rasante Entwicklung zu Bauelementen mit einer hohen I/O-Dichte treibt die Anforderungen an die Verbindungstechnik auf dem Substratniveau. Die Vielzahl von Verbindungen kann nicht mehr über Anschlüsse an der IC-Peripherie (Außenkante) mit praktikablem Pitch erfolgen. Eine vernünftige Lösung stellt die Verteilung der Anschlüsse über die gesamte Fläche des Chips dar. Mit dem Übergang von peripheren Anschlußkonfigurationen zu Area Array Packages wird das Verbindungsrastrer entspannt. Dies wird um so prägnanter, je größer die Schaltkreise sind. Diesen Trend konnte man bereits bei der Entwicklung von Ball Grid Arrays (BGA) beobachten, die dem Problem nicht mehr vernünftig verarbeitbarer Pinabstände bei Quad Flat Packs (QFP) Rechnung tragen. Diese BGA's haben in der Regel Anschlußdichten größer 1 mm und das Package ist um ein Vielfaches größer als der Chip. Um eine höhere Integration auf dem Substrat/Board zu erzielen, muß das IC-Package so klein wie möglich gehalten werden. Dies wird z.B. durch ein Chip Scale Package (CSP) erreicht. Mittlerweile gibt es eine Vielzahl von CSP-Typen. Die höchste Integration wird jedoch mit Wafer Level CSP's erreicht, da das Bauelement in seinen Abmessungen dem ungehäuseten Chip entspricht.

Der Markt für diese Anwendungen wird gegenwärtig durch Anwendungen im Bereich Mobilkommunikation, Unterhaltungselektronik (Camcorder) und Computertechnologie (Notebooks) getrieben.

Das kundenspezifische Design dieser CSPs verschafft dem IC-Anwender erhebliche Vorteile. Er kann selbst Veränderungen an Chips (Verringerung der Abmessungen etc.) durch ein geschicktes Design der Umverdrahtung ausgleichen. Damit erübrigen sich selbst bei Schaltkreismodifikationen Änderungen am Board/Substrat.

Die Anordnung der Anschlüsse auf den CSPs sollten jedoch nicht willkürlich gewählt werden, um Testbarkeit, Burn-In etc. standardisierbar zu gestalten. Das Design des CSP hat zudem einen erheblichen Einfluß auf die Wahl der Boardtechnologie. Lotbump-Raster, -Durchmesser sowie deren Aufteilung bestimmen die Anzahl der Lagen, die zum Routing der Signale auf Boardebene bei vorgegebener Leitungsaufösung erforderlich sind. Diese Parameter bestimmen in einer frühen Designphase die Produktkosten.

In den vergangenen fünf Jahren wurde ein enormer Anstieg in der Verdrahtungsdichte durch Einführung und Entwicklung von High-Density-Interconnect (HDI) Boards mit Microvias auf Basis organischer Schaltungsträger verzeichnet. Weitere Lösungen bieten sich mit der inherenten Möglichkeit von stacked Vias in HTCC und LTCC an.

Aus Sicht der Aufbau- und Verbindungstechnik ist der Hauptvorteil des Einsatzes von CSP- und Flip Chip Technologie die Kompatibilität zu Standard SMT Prozessen. SMD Komponenten können zusammen mit CSPs bestückt und in einem gemeinsamen Reflow gelötet werden. Dadurch verkürzt sich die Prozeßzeit erheblich. Dieser Artikel beschreibt den Einfluß der CSP-Technologie insbesondere auf das Boarddesign.

2. Chip Scale Packages

2.1 Typenübersicht

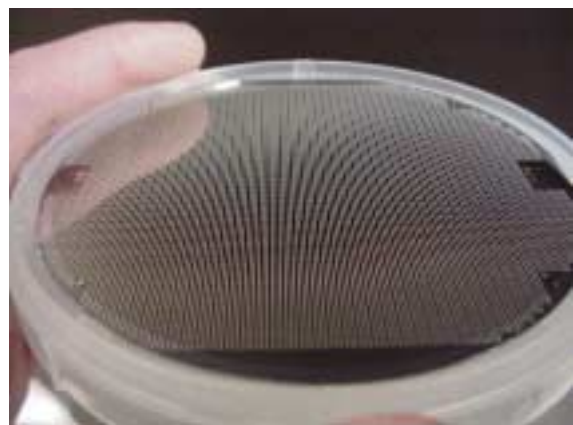
Zur Klassifizierung von CSPs hat sich die Definition über die Bauelementgröße durchgesetzt. Das CSP-Package sollte maximal das 1.2-fache der Chipgröße haben. In den vergangenen Jahren haben sich mehrere CSP-Typen auf dem Markt etabliert, die sich in 3 Klassen einteilen lassen:

- Rigid Interposer
 - auf Keramik
 - a) drahtgebondet (z.B. Kyocera)
 - b) Flip Chip (z. B. Matsushita)
 - auf PCB
- Flex Interposer (z.B. Tessera μ BGA)
- Wafer Level Umverdrahtung auf Dünnschichtbasis (z.B. FHG IZM, Unitive, FlipChipTechnologies, ShellCase)

Bei der Analyse der Rigid- und Flex-CSP-Typen läßt sich zeigen, daß bei kleinen Chipgrößen der Umverdrahtungsträger z.T. nicht innerhalb der oben genannten Spezifikation liegt. Die Ursache dafür liegt an einem fixen Rand um den Chip, der zu Drahtbondverbindungen, TAB, Underfill bzw. Glob Top benötigt wird. Wafer Level CSPs werden, wie der Name aussagt, auf kompletten unvereinzelteten Wafern prozessiert. Damit entspricht ihre Endgröße zwangsläufig den Chipabmessungen.

2.2 Wafer Level CSPs

Durch die minimale Baugröße (Die = CSP) sind Wafer Level CSPs dazu geeignet, höchste Integrationsdichten auf Schaltungen zu erzielen. Sie können direkt mit Flip Chips verglichen werden. Allerdings haben die CSPs generell den entscheidenden Vorteil, daß durch die flächige Verteilung der Anschlüsse geringere Bestückgenauigkeiten nötig sind. Damit wird die Voraussetzung geschaffen, daß dieses Package nicht nur von einem begrenzten Anwenderkreis eingesetzt werden kann.



Zur Herstellung von Wafer Level CSPs werden Dünnschichtprozesse eingesetzt. **Abb. 1: Wafer mit Umverdrahtung und Lotbumps nach [2]**

Im allgemeinen wird über dem Chip eine zusätzliche Passivierung aufgebracht, die einerseits als Schutz der Halbleiterstrukturen bei naßchemischen Verfahren als auch als Topologieglättungslayer und Haftvermittler für den Leitungsstrukturaufbau dient. Auf dieser ersten Isolationsschicht wird die Umverdrahtung aufgebaut. Als Leitbahnmaterialien werden Kupfer oder Aluminium eingesetzt. Mit einer weiteren Isolationsschicht wird die gesamte Chipfläche versiegelt. In ihr befinden sich nur Öffnungen, in denen die Padstrukturen für das CSP aufgebaut werden.

Als abschließender Schritt sind Lotbumps auf den Anschlußpads aufzubringen. Das Bumping erfolgt alternativ über Fine Pitch Lotpastendruck [1], Aufsputtern (C4) bzw. Aufsetzen vorgefertigter Lotkugeln und anschließendem Umschmelzen durch Reflow. Abb. 1 zeigt einen komplett prozessierten 4"-Wafer, der bereits mit Lotbumps versehen wurde.

Der schematische Aufbau eines WL-CSP nach [2] ist in Abb.2 dargestellt. Ein detaillierter Prozeßablauf ist in [2] beschrieben.

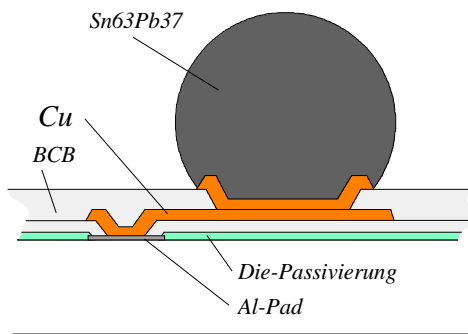


Abb. 2: Schematischer Aufbau eines WL-CSP

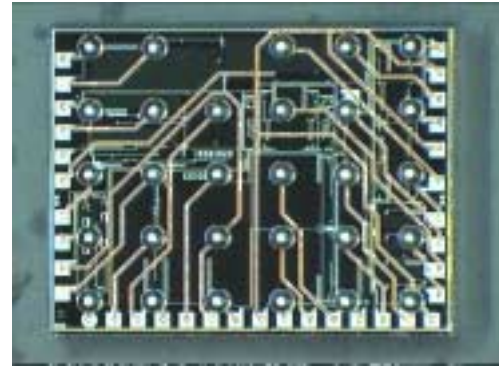


Abb. 3: WL-CSP mit 0,5 mm Lotbumpitch

2.3 Testbarkeit

Ein entscheidender Vorteil der Wafer Level CSP Technologie liegt in der Testbarkeit auf dem Wafer. Voraussetzung dafür ist, daß ein geeignetes Kontaktierungssystem vorliegt, das eine schonende Kontaktierung der Lotbumps gewährleistet. Weiterhin sind alle zum Test benötigten Signale umzuverdrahten. Dadurch können auf dem CSP z.T. für die Funktionalität unnötige Anschlüsse liegen, die das Raster einengen. Als alternative Lösung kann ein zweistufiger Test eingeführt werden, der jedoch den Testaufwand und damit die Kosten erhöht. Im Einzelfall ist zu prüfen, ob damit alle unverdrahteten Verbindungen 100%ig getestet werden können.

Nach dem Testen und Inken der Schlecht-ICs erfolgt das Wafersägen, Vereinzelung, visuelle Kontrolle (Sägefehler, Auffälligkeiten in der Umverdrahtung) und das Verpacken der Schaltkreise. Als Medium zur Weiterverarbeitung stehen

- Waffle Packs
- Surftape
- Tape & Reel (abhängig von CSP-Pitch)
- unvereinzelte, gesägte Wafer

zur Verfügung. Die letztgenannte Variante setzt natürlich ein Bestücksystem mit Waferhandler und Flipping-Unit voraus.

Für Einzel-CSPs stehen eine Reihe von Testadapterfassungen zur Verfügung, die z.T. auch zum Burn-In der Bauelemente verwendet werden können (höhere Temperaturstabilität) [3]. Diese Testfassungen eignen sich u.a. für den Aufbau von Breadboardschaltungen.

Zur stufenweisen Einführung von CSPs als Ersatz drahtgebundener ICs hat sich der Einsatz von Interposersubstraten bewährt, die die Umverdrahtung auf Chipebene wieder in eine Bondpadkonfiguration zurückführen. Damit läßt sich der CSP auf einem bekannten Substrat anbinden und dynamisch testen. Bedingung dafür ist, daß der CSP und das Interposersubstrat

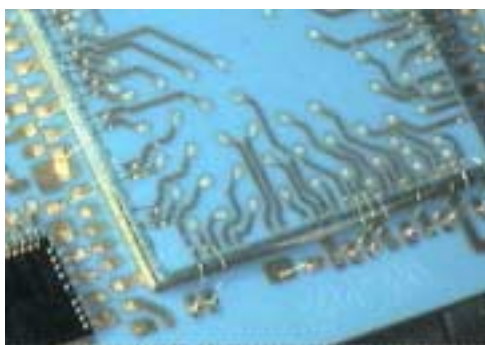


Abb. 4: CSP + Interposer gebondet auf Known Good Substrate

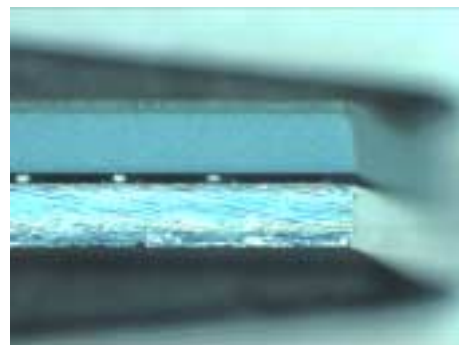


Abb. 5: CSP aufgelötet auf LTCC-Interposersubstrat

der Größe des Bare Die entspricht. Abb. 4 zeigt den Aufbau einer Schaltung mit CSP und Interposer gebondet auf ein Substrat.

2.4 Vergleich CSP und Drahtbonden

Beim Vergleich der Integrationsdichten der Aufbautechnologien Drahtbonden und CSP-Bestückung zeigt sich, daß die tatsächlich erzielbaren Komponentendichten stark von der IC-Größe abhängen. Sowohl beim Drahtbonden, als auch beim CSP ist ein umlaufender Rand um den Chip freizuhalten. Im ersten Fall ist die Fläche für Bondpads und Glob Top zu reservieren. CSPs benötigen zur Erhöhung der Zuverlässigkeit Underfill. Mit Verringerung des Bondpadpitches wächst bei drahtgebondeten ICs der Rand, da mehrere Bondpadreihen auf dem Substrat zur Entflechtung notwendig werden. Mit Zunahme der Die-Größe wächst das Potential der CSPs. Abb. 6 zeigt erforderliche CSP-Pitches in Abhängigkeit der Schaltkreisfläche und des Bondflächenrasters auf dem IC. Die Anzahl der korrespondierenden I/Os ist in Abb. 7 dargestellt.

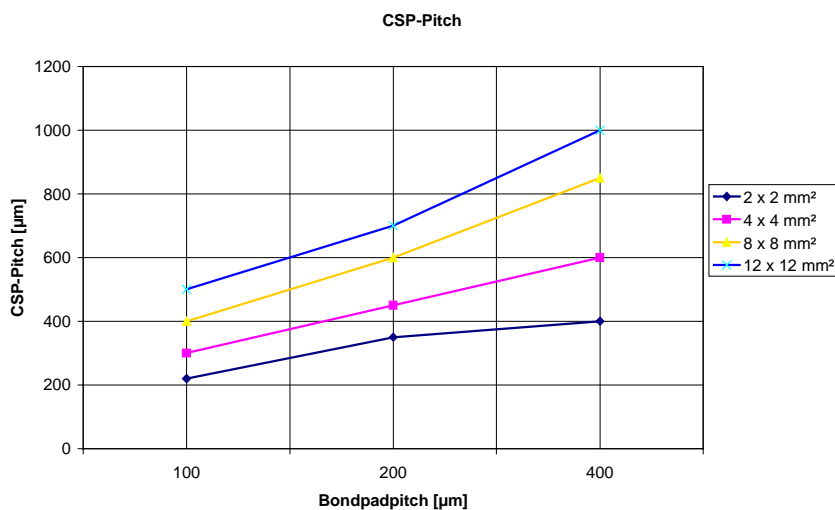


Abb. 6: Erforderlicher CSP-Pitch (Area Array) in Abhängigkeit von Bondpadpitch und IC-Größe

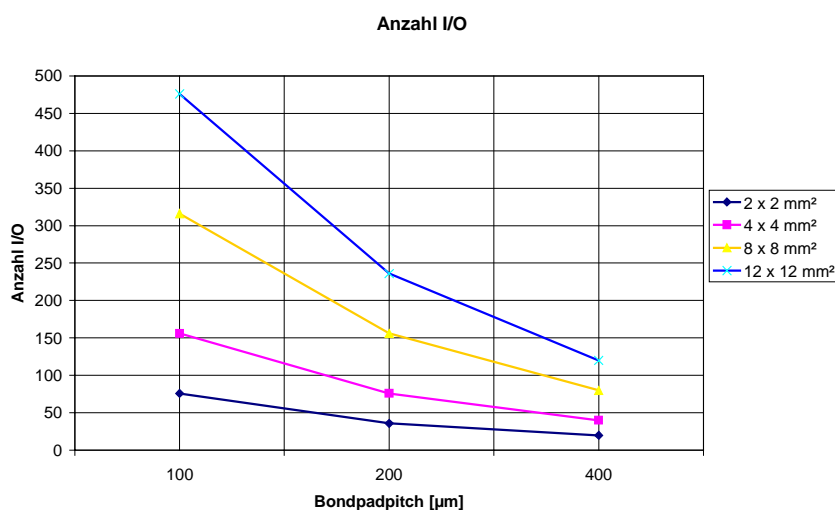


Abb. 7: Anzahl von I/O in Abhängigkeit von Chipgröße und Bondpadpitch

CSPs zeigen gegenüber COB den deutlichen Vorteil, daß die Signale bereits unterhalb des IC in die entsprechende Richtung geroutet werden können. Bei sehr geringem Bondflächenabstand bzw. mehreren Bondpadreihen auf Substraten tritt partiell eine sehr hohe Verdrahtungsdichte auf, die schwieriger zu entflechten ist.

3. Anforderungen an die Substrattechnologie

Obwohl CSPs dazu beitragen, den I/O-Pitch auf dem Schaltungsträger im Vergleich zum Drahtbondpendanten zu relaxieren, sind die Anforderungen bzgl. Via- und Leitbahnauflösung sehr hoch. Zum Fan-Out der flächig angeordneten Signale sind entweder sehr schmale Leitungen/Abstände zu realisieren bzw. die Anzahl der Signallagen zu erhöhen. Beide Faktoren erhöhen die Kosten für die Schaltungsträger.

3.1 Organische Schaltungsträger

In den vergangenen Jahren ist ein deutlicher Zuwachs an Leiterplattentechnologien zu verzeichnen, die sich durch eine sehr hohe Leitungsauflösung und extrem kleinen Durchkontaktierungen (Microvias) auszeichnen. Abb. 8 zeigt drei Varianten von High Density Interconnect (HDI) Boards. Typische Parameter, die das Design von CSP-Padkonfigurationen bestimmen, sind in Tabelle 1 zusammengefaßt.

Die entscheidenden Parameter sind die z.T. sehr großen Catchpads über den μ Vias und die Deckungsgenauigkeit der Lotstoppmaske zur Leitungsstruktur. Beide Größen werden durch Prozeßtoleranzen diktiert. Die erreichbaren Leitbahnbreiten nähern sich immer mehr Dünnschichtstrukturen an.

Typische Materialien zum Aufbau von HDI-PCBs sind Polyimid und RCC-Folien (Resin Coated Copper). Polyimidbasierende Träger können als Flex-, Flex/Rigid- bzw. Rigid-schaltung eingesetzt werden.

Durch Kombination von Starrschaltungen mit flexiblen Elementen ergibt sich eine Vielzahl von Gestaltungsvarianten, die es z.B. ermöglichen, elektrische Schnittstellen direkt zu integrieren (Einsparung von Steckverbindern bzw. Verbindungsstellen).

Bedingt durch die Via-Technologie können auf den meisten HDI-Boards keine stacked Vias realisiert werden. Damit werden zusätzliche Flächen auf den inneren Lagen okupiert, die die Verdrahtungsdichte einschränken und die Anzahl der entflechtbaren CSP-Pad-Reihen reduzieren. In Abb. 10 sind Fallstudien für ein CSP-Raster von 0.5 mm und 0.35 mm dargestellt. Man unterscheidet bei der Kontaktpaddefinition zwischen Solder Mask Defined Pads (SMDP) und Non-Solder Mask Defined Pads (NSMDP). Man wird bei der Boardauswahl natürlich immer bestrebt sein, mit der geringsten Anzahl von Lagen auszukommen.

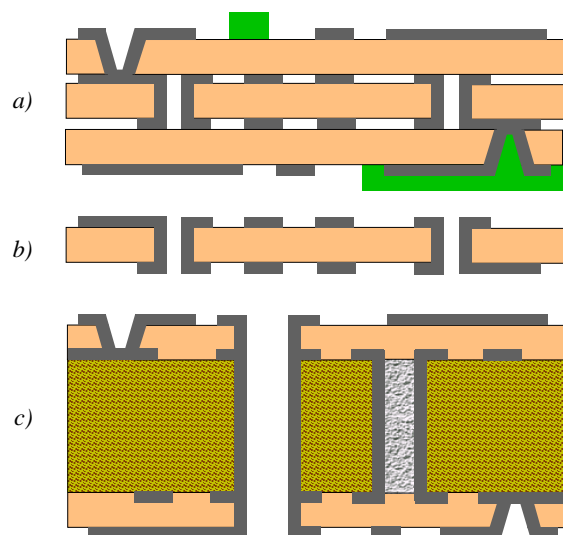


Abb. 8: Typische Konfigurationen von HDI-PCBs
a) Flexschaltung 3-lagig
b) Flexschaltung 1-lagig
c) Starrschaltung mit 2 μ Via-Lagen

	Parameter	Standard	Advanced
a)	Leitbahnbreite	125 μm	50 μm
b)	Leitbahnabstand	125 μm	50 μm
c)	Keep out Lötstopmmaske = Positionstoleranz zu Leiterzugbild	75 μm	50 μm
d)	min. Steg Lötstopmmaske	120 μm	75 μm
e)	min. Überlappung Lötstopmmaske	100 μm	60 μm
f)	CSP-Landpad	200 μm^*	150 μm^*
g)	Via-Catchpad	350 μm	200 μm

*) anhängig vom Lotbumpdurchmesser

Tab. 1: Designparameter von HDI-Boards

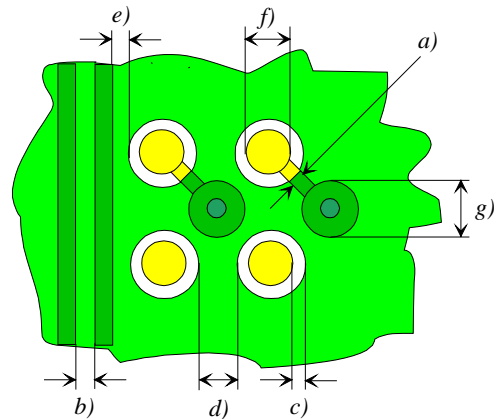


Abb. 9: CSP-relevante Abmessungen

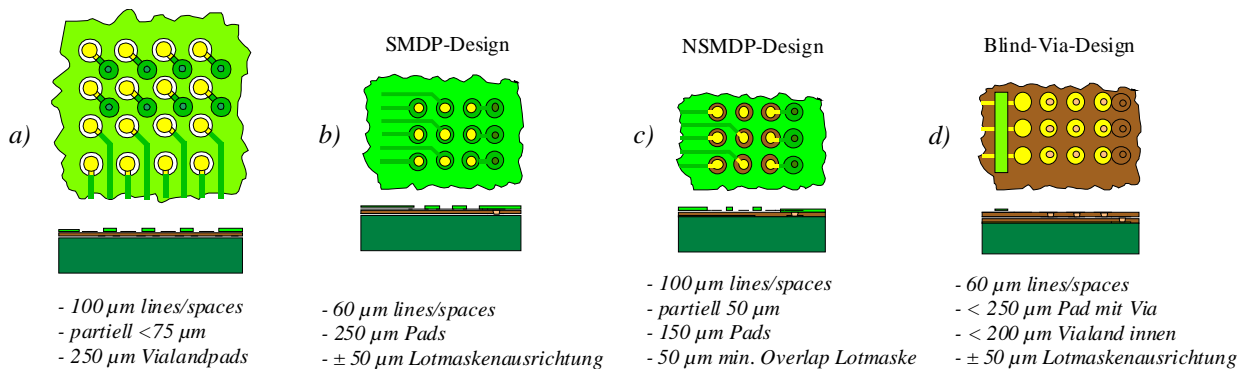


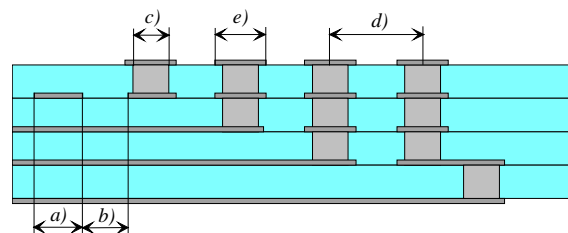
Abb. 10: Verdrahtungsstudien zu unterschiedlichen CSP-Pitches

- a) 500 μm Pitch (4-reihige Entflechtung möglich)
- b) 350 μm Pitch mit Solder Mask Defined Pad (3-reihige Entflechtung)
- c) 350 μm Pitch mit Non-Solder Mask Defined Pad (3-reihig)
- d) 350 μm Pitch mit Via-in-Pad (4-reihige Entflechtung möglich)

3.2 Keramische Schaltungsträger

Bei Substraten auf Basis LTCC bzw. HTCC zeigt sich der Vorteil von stacked Vias. Signale können über mindestens 3 Lagen in Serie vom Pad weggeführt werden. Eine gesonderte Lotmaske ist nicht notwendig, da die Vias direkt im Pad sitzen können. Tabelle 2 enthält einige relevante Designkriterien, die die Wahl des CSP-Packages beeinflussen können.

	Parameter	Standard	Advanced
a)	Leitbahnbreite	150 μm	75 μm
b)	Leitbahnabstand	150 μm	75 μm
c)	Via-Durchmesser	130 μm	90 μm
d)	min. Via-Pitch	350 μm	250 μm
e)	Via-Catchpad (postfire) Via-Catchpad (cofire)	250 μm 200 μm	180 μm 140 μm
f)	max. Anzahl von stacked Vias	3	6
g)	Lagenzahl	4-6	8-10



Tab. 2: Designparameter von LTCC/HTCC

Abb. 11: CSP-relevante Abmessungen

Abbildung 12 zeigt das Potential von Multilayerkeramiken im Einsatz als CSP-Verdrahtungsträger. Selbst unter Anwendung entspannter Designregeln können noch geringe Pitches (unter Ausnutzung mehrerer Lagen) entflechtet werden.

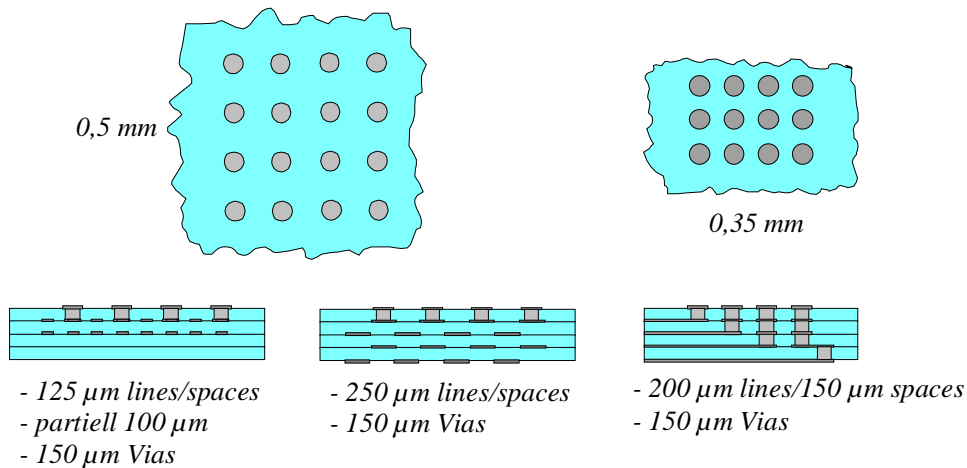


Abb. 12: Realisierungsformen von CSP-Verdrahtungen auf LTCC für 0.5 mm und 0.35 mm Pitch

4. Zusammenfassung

Mit CSPs können gegenüber konventionellen Packages Flächenreduktionen im Faktor 3 – 10 erzielt werden. Im Vergleich zu COB-Anwendungen sind identische Integrationsdichten mit Wafer Level CSP erreichbar. Mit der Weiterentwicklung bzw. Optimierung von Unterfilltechniken läßt sich der notwendige Freiraum um den CSP minimieren. Damit wird eine im Vergleich zu Drahtbond-ICs höhere Bauelementedichte möglich. Hinsichtlich Prozessierbarkeit und Handling zeigt die Anwendung von CSPs deutliche Vorteile gegenüber COB, da deren Bestückung nicht kompatibel zu Standard-SMT-Verfahren ist. Dadurch bietet der Einsatz von CSPs trotz höherer Komponentenkosten durch Umverdrahtung und Bumping ein erhebliches Einsparungspotential über Prozeßvereinfachung und –zeitverkürzung [4].

Das diesem Vortrag zugrundeliegende Vorhaben wird mit Mitteln des Bundesministeriums für Bildung, Wissenschaft, Forschung und Technologie unter dem Förderkennzeichen 16SV 876/7 "Mikromedi" gefördert.

Besonderer Dank gilt den Mitarbeitern der Fraunhofer Gesellschaft Institut für Zuverlässigkeit und Mikrointegration, die die Prozessierung der Wafer Level CSPs durchgeführt haben.

Literatur:

- [1] J. Kloeser et al: Low Cost Bumping by Stencil Printing: Process Qualification for 200 µm Pitch, Proceedings International Symposium on Microelectronics 1998, San Diego, Okt. 1998.
- [2] M. Töpfer et al: Chip Size Package – The Option of Choice for Miniaturized Medical Devices, Proceedings International Symposium on Microelectronics 1998, San Diego, Okt. 1998.
- [3] S. Rizzo: Chip Scale Challenges, Burn-in Socket Design, Advanced Packaging, Nov./Dec. 1997, Vol. 6, Nr. 6, IHS Publishing Group.
- [4] M. Schaldach et al: Deployment of State-of-the-Art Technology for Implantable Medical Systems, Proceedings International Symposium on Microelectronics 1998, San Diego, Okt. 1998.