



Micro Systems Engineering
GmbH & Co.

Aufbau, Vorteile und Zuverlässigkeit von LTCC-Modulen mit Flip Chip Komponenten

Jens Müller

Micro Systems Engineering GmbH & Co.

Schlegelweg 17

95180 Berg/Oberfranken

Tel.: 09292/78-64 Fax: 09293/78-41

E-Mail: jmueller@mse.biotronik-erlangen.de

Internet: www.mse-microelectronics.de



Micro Systems Engineering
GmbH & Co.

Übersicht

- Aufbau und Vorteile von Flip Chips und CSPs
- Flip Chip gerechtes LTCC-Design
- Vorteile der Flip Chip Montage auf LTCC
- Zuverlässigkeitsuntersuchungen
- Ausblick

Aufbau und Vorteile von Flip Chips und CSPs



Micro Systems Engineering
GmbH & Co.

- Definition Chip Scale Package
- Typenübersicht CSP's
- Wafer Level CSP = Flip Chip?
- Vergleich CSP und COB

CSP - Chip Scale Packages



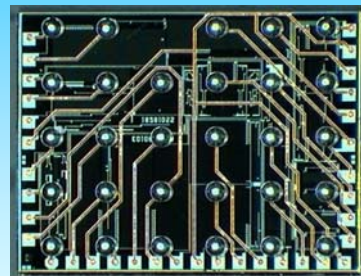
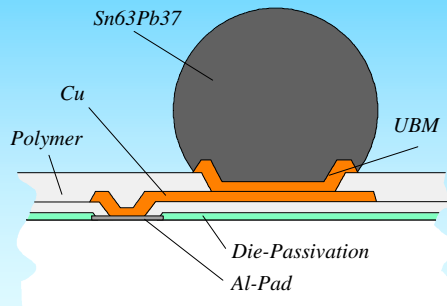
Micro Systems Engineering
GmbH & Co.

- Area Array Package zur Lötmontage
- $< 1.2 \times$ Umfang des bare die bzw.
- $< 1.5 \times$ Fläche des bare die
- ca. 50 versch. Typen gegenwärtig im Einsatz
- Anschlußkonfiguration noch nicht spezifiziert:
BGA : 1.27 mm typ.
CSP: 0.8mm, 0.5mm, 0.35mm

Construction of a Wafer Level CSP (FHG IZM)



Micro Systems Engineering
GmbH & Co.



redistributed die with
0.5mm pitch

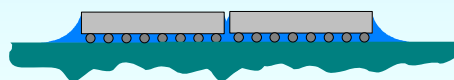
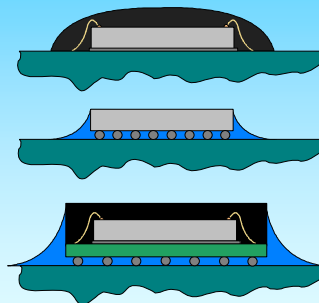
Vergleich CSP / COB



Micro Systems Engineering
GmbH & Co.

Welche Faktoren beeinflussen den Flächenbedarf ?

- Bare die Abmessungen
- Bondpad-Pitch
- Anzahl I/O
- CSP Typ
- Freifläche für Underfill / Glop Top



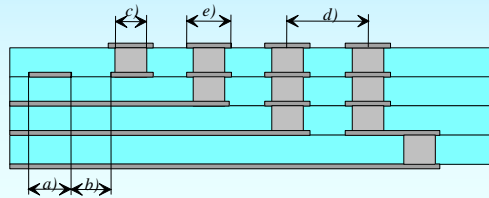
Ceramic Substrates



Micro Systems Engineering GmbH & Co.

CSP-relevant Designparameter

	Parameter	Standard	Advanced
a)	Line Width	150 μm	75 μm
b)	Line Space	150 μm	75 μm
c)	Via-Diameter	130 μm	90 μm
d)	min. Via-Pitch	350 μm	250 μm
e)	Via-Catchpad (postfire)	250 μm	180 μm
	Via-Catchpad (cofire)	200 μm	140 μm
f)	max. Number of Stacked Vias	3	6
g)	Layer Count	4-6	8-10

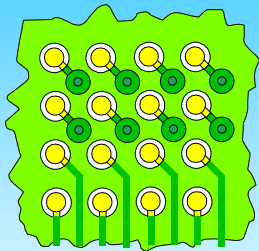


Fan Out for a 500 μm Pitch CSP



Micro Systems Engineering GmbH & Co.

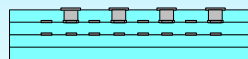
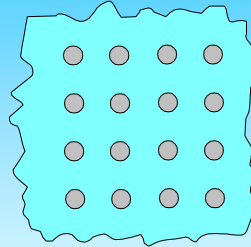
org. Substrate



- 100 μm lines/spaces
- partial <75 μm
- 250 μm Vialandpads

LTCC

0,5 mm



- 125 μm lines/spaces
- partial 100 μm
- 150 μm Vias

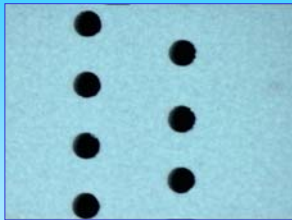


- 250 μm lines/spaces
- 150 μm Vias

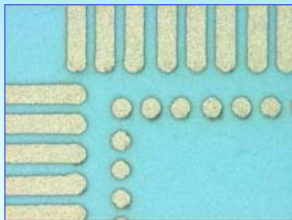
LTCC-Studie 250 μm Pitch



Micro Systems Engineering GmbH & Co.



- Viadurchmesser 100 μm (grün)
- Via-Pitch 250 μm (gesintert)
- 2-reihige Padanordnung
- Abstand zwischen Padreihen 375 μm (gesintert)

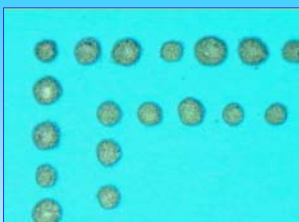


- Leiterbahnbreite 150 μm
- Leiterbahn-Abstand 100 μm
- Ag- System
- Entflechtung über 2 Innenlagen

Probleme bei Fine Pitch Anordnungen

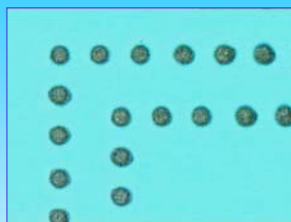


Micro Systems Engineering GmbH & Co.

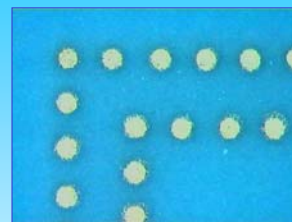


Viaüberfüllung

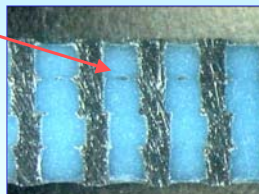
- mögliche Kurzschlüsse
- Delamination



Korrekte Füllung von Vias (grün)



Korrekte Füllung von Vias (gesintert)



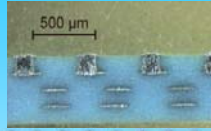
Abhilfe:

- Schablonenoptimierung
- Druckparameteroptimierung

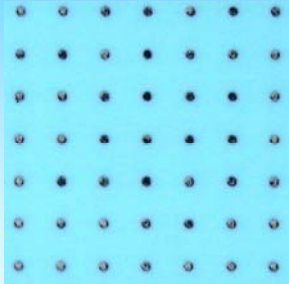
Bump Arrangement Study on LTCC



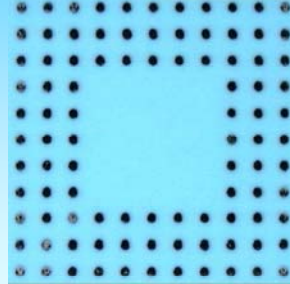
Micro Systems Engineering GmbH & Co.



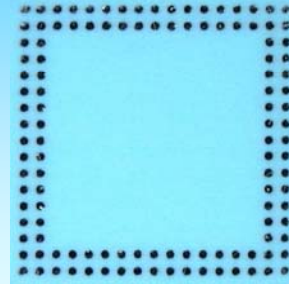
Die Size: approx. $5 \times 5 \text{ mm}^2$



800 µm Pitch CSP
- full array
- 49 I/O



500 µm Pitch CSP
- 3 rows
- 96 I/O



300 µm Pitch CSP
- 2 rows
- 120 I/O

Selbstzentriermechanismus von BGA/CSP/FC



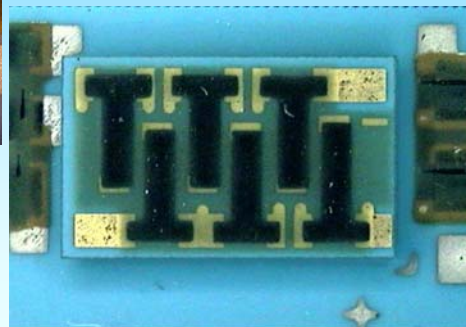
Micro Systems Engineering GmbH & Co.



Verdreht platziertes BGA-Board vor Reflow

Bestückversatz bis zu halbem
Paddurchmesser tolerierbar

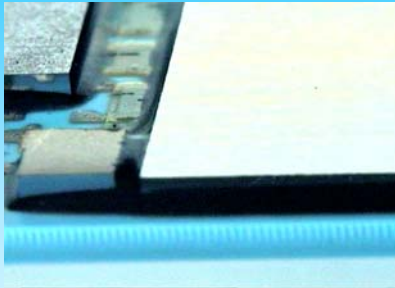
BGA-Board nach Reflow (selbstzentriert)



Gedruckte Widerstände im Underfillbereich

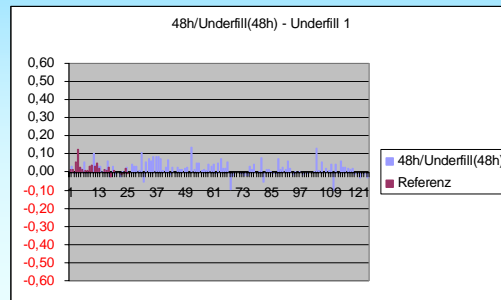


Micro Systems Engineering GmbH & Co.



Widerstände im Underfill-Dispensbereich

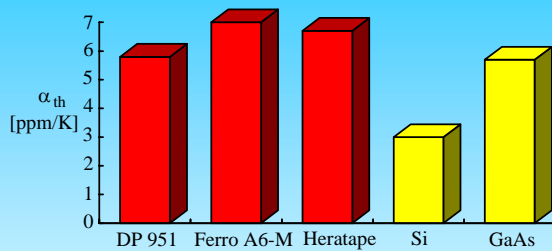
Widerstandsdrift durch Underfill in Trimmchnitten
(48h - Alterung unter Normalbedingungen)



Thermal performance of LTCC



Micro Systems Engineering GmbH & Co.



coefficient of thermal expansion

thermal conductivity

- LTCC: 2 - 3 W/m K
- with thermal vias: 10 - 20 W/m K

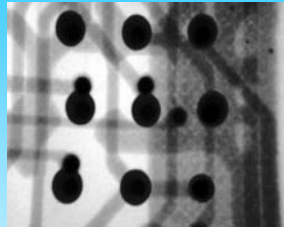
cavities can shorten the thermal path to the heat sink



Zuverlässigkeitsuntersuchungen

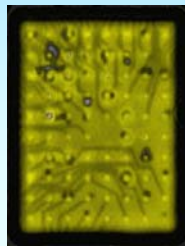
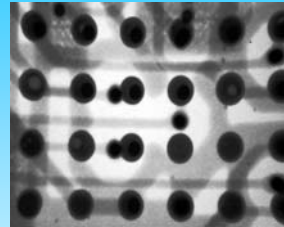


Micro Systems Engineering
GmbH & Co.



Röntgenuntersuchung

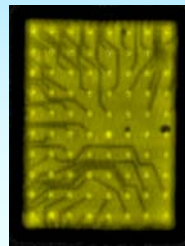
- Voids in Lotbumps
- Kurzschlüsse
- freiliegende Lotkugeln
- etc.



Ultraschalluntersuchung

- Voids im Underfill
- Delaminationen

CSP mit Voids um
Lotbumps



CSP mit geringer
Neigung zu Voids

Zuverlässigkeitsuntersuchungen



Micro Systems Engineering
GmbH & Co.

Testobjekt	Testbedingungen	Ausfallmöglichkeiten
Daisy Chain Test Die	Temperaturwechsel 125°C/-55°C	Delamination Underfill
gedruckte Widerstände	Temperaturschock	Lotstellenermüdung
	1000h biased 85°C/85% r.h.	Migration/Kurzschlüsse
	1000h 125°C	Bruch von Lotverbindungen
	mechanische Belastungstests	Widerstandsdrift