

Integrationspotential durch den Einsatz von Chip Scale Packages BMBF-Projekt Mikromedi

Jens Müller
Micro Systems Engineering GmbH Co.
Schlegelweg 17
95180 Berg/Ofr.
Tel.: 09293/78-64
E-Mail: jmueller@mse.biotronik-erlangen.de

Abstract:

Die Zunahme komplexer Funktionen in mikroelektronischen Schaltungen bei gleichbleibendem bzw. verringertem Bauvolumen stellt eine wachsende Herausforderung an die Integrationsdichte elektronischer Komponenten dar. Die steigende Integration auf dem Siliziumniveau insbesondere bei Signalprozessoren geht einher mit der Erhöhung der Anschlußdichte. Die Anbindung dieser Komponenten auf dem Schaltungsträger verlangt neuartige Systemkonzepte, da die konventionelle Aufbau- und Verbindungstechnik an ihre Grenzen stößt.

Ziel der F&E Arbeiten in dem Projekt Mikromedi ist es, fortschrittliche AVT auf Schaltungsträgern in Bereichen einzusetzen, wo diese Technologie durch die gebotenen Vorteile hinsichtlich Platzersparnis, Gewichtsreduktion, Zuverlässigkeit und insbesondere auch Kostenersparnis die niedrigste Akzeptanzschwelle aufweist. Die Montage von integrierten Schaltungen mittels Flip Chip / Chip Scale Package (CSP) - Technologie ermöglicht es, den Miniaturisierungsgrad zu erhöhen. Die Verteilung der Anschlußpads auf der Gesamtfläche des IC's wird bei dem hier gewählten Ansatz über eine Dünnschicht-Umverdrahtung realisiert. Diese Variante, im folgenden als CSP-D bezeichnet, stellt eine neue Qualität eines Packages dar, da hier die Vorteile von CSP's und Flip Chips verschmelzen. Einerseits gewinnt man durch die Umverdrahtung eine Relaxation des Anschlußrasters und damit eine einfache Lötmontage ohne aufwendige Positionierhilfen. Andererseits ist das Package nicht größer als der IC selbst. Vorteilhaft ist hier insbesondere, daß dieser Ansatz auf der Waferebene angreift und somit die kostengünstigste Vorgehensweise bietet.

Bei der Charakterisierung wird insbesondere auf die Zuverlässigkeitsaspekte der mit dieser Aufbautechnik realisierten Baugruppen Wert gelegt.

Durch die Möglichkeit von stacked vias in LTCC Multilayern lassen sich mehrere Anschlußreihen von Area Array Packages auf dem Substrat sicher entflechten. Der minimale Abstand der Vias zueinander bestimmt den maximal entflechtbaren Pitch der zu bestückenden Komponente. Durch die Verringerung der Via-Durchmesser auf unter 100 µm lassen sich Padabstände von 200 - 250 µm erzeugen, die für die meisten Flip Chip Anwendungen ausreichend sind. Bei großflächigen Komponenten ist die Anpassung des thermischen Ausdehnungskoeffizienten an das Substratmaterial bestimmend für die Zuverlässigkeit der Verbindungen. Die sehr gute Anpassung des TCE von LTCC an Si und GaAs bietet damit optimale Verhältnisse. Ein weiteres Vorteil von Keramiksaltungen in diesem Zusammenhang ist die Stabilität des Substrates. Im Gegensatz zu organischen Trägern ist selbst bei Substratstärken unter 0.6 mm kaum eine Verwölbung zu verzeichnen. Die sehr glatte Oberfläche der LTCC Substrate bietet zudem beste Voraussetzungen für eine lunkerfreie Ausbreitung des Underfills.

1. Einleitung und Motivation

Das Ziel der MSE bei den Untersuchungen im Projekt Mikromedi ist, basierend auf Chip Scale Packages eine robuste Assemblytechnologie zu entwickeln, um mit wenigen Prozeßschritten und Fügetechnologien zuverlässige Hybridschaltungen herzustellen. Diese Schaltungen sollen im Vergleich zu Chip&Wire Lösungen hinsichtlich Herstellbarkeit und Integrationsdichte evaluiert werden.

Neuere Definitionen von Chip Scale Packages (CSPs) charakterisieren dieses Package durch die folgenden Bedingungen:

- a) das Package ist nur 25% größer als das bare die (Fläche) bzw.
- b) das Anschlußraster ist kleiner als 1mm.

Die kommerziell verfügbaren Packages sind ausschliesslich zur Lötmontage vorgesehen.

Bei den Typklassen unterscheidet man nach Träger- bzw. Umverdrahtungstechnologie in

- Rigid Interposer CSP
- Flexible Interposer CSP
- Wafer Level CSP
- Lead Frame CSP

CSPs bieten gegenüber anderen lötfähigen Packages entscheidende Vorteile hinsichtlich

- Gewicht
- Bauteilgröße (Fläche, Höhe)
- Elektrischer Performance (kurze Verbindungen)
- Bestücksicherheit (Vgl. CSP 0,05 – 0,5 dpm (defects per million joints)/QFP 30 – 80 dpm [1])
- Kompatibilität zu Standard-SMDs

Die Bestücksicherheit resultiert insbesondere aus dem Selbstzentriermechanismus der Lotbumps während des Reflow. Beim Aufschmelzen des Lotes wird über die Benetzung der Pads und der Oberflächenspannung des Lotes das Bauteil über den Pads ausgerichtet. Deshalb ist ein Bestückversatz von halbem Paddurchmesser tolerabel. Abbildung 1 zeigt ein verdrehtes BGA-Modul vor dem Absetzen auf ein LTCC Substrat. Die Aufnahme entstand über die Prismenoptik eines manuellen FlipChip-Bestückers. Da bei dieser Platzierung nur ein Winkelfehler (kein weiterer Versatz in x/y) vorhanden war, reichte die Überlappung der substratmittigen Lotbumps auf den Pads aus, um das Bauteil in die gewünschte Position beim Reflow zu ziehen.

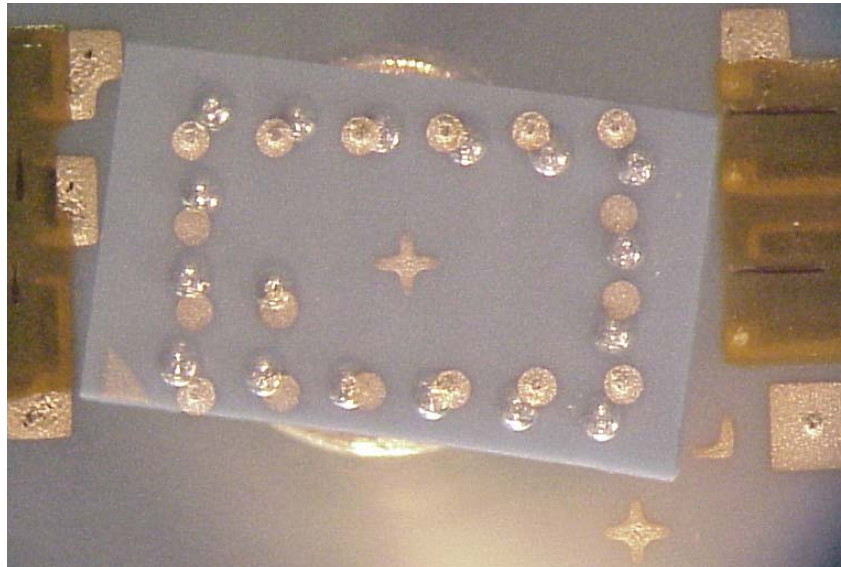


Abbildung 1: Verdrehung eines BGA-Moduls beim Bestücken

Den Vorteilen gegenüber stehen gewachsene Anforderungen an:

- Bestückautomaten (Beleuchtung und Visionsystem)
- Boardtechnologie (Verdrahtungsdichte)
- Underfill (abhängig von CSP Typ, Größe etc.)
- Lötstellenbeurteilung (Röntgensystem, spezielle Mikroskope)
- Nacharbeit/CSP-Wechsel

Weiterhin beachtet werden muß die Verfügbarkeit von Sonderkomponenten in SMT-kompatibler Form, die ein automatisches durchgängiges Systemkonzept erst ermöglichen. In Sonderfällen ist eine eigene Aufbereitung dieser Bauelemente erforderlich.

2. Anforderungen an das Chip Scale Package

An das CSP werden bei der Herstellung, Verarbeitung und im Einsatz allgemeine und produktspezifische Forderungen gestellt (Tabelle 1).

Kategorie	Forderung
Mechanisch	<ul style="list-style-type: none"> - Stabilität während der Verarbeitung (Test, Handling, Bestückung, Reflow, Nutzentrennung) - Minimale Abmessungen (Länge, Breite, Höhe) - Maximal mögliches Kontaktraster - Schutz der aktiven IC-Fläche vor Verunreinigungen (Flußmittel, direkter Underfillkontakt etc.) - Gute Benetzung, Verfließen und Haftung des Underfill
Elektrisch	<ul style="list-style-type: none"> - Testbarkeit vor Einsatz (KGD) - Keine Beeinflussung der elektrischen Performance durch Umverdrahtung (parasitäre Induktivitäten, Kapazitäten, Leitungswiderstände bzw. Übersprechen)
Thermisch	<ul style="list-style-type: none"> - Anpassung des thermischen Ausdehnungskoeffizienten an das Trägermaterial - (Verlustleistungsabfuhr)
Prozeß	<ul style="list-style-type: none"> - SMT-Kompatibilität - Gewährleistung der Nacharbeitbarkeit/Reparatur - Geringe Kosten für Umverdrahtung + Bumping (Yield)
Zuverlässigkeit	<ul style="list-style-type: none"> - Temperaturbelastbarkeit - Temperaturwechsel - Feuchteinfluss

Tabelle 1: Einsatzanforderungen an CSPs

Bei der Auswahl des Packages stand aufgrund der Ausgangssituation Chip-on-Board (COB) die Größe des CSP im Vordergrund. Da die zur Untersuchung erforderlichen Schaltkreise im Waferformat vorlagen, konnte ein Wafer-Level Ansatz mit dem Prozess der FHG IZM [2] gewählt werden (Abbildung 2). Der Kontaktpitch ergab sich durch die Anzahl der umzuverdrahtenden Signale und der verfügbaren Die-Fläche zu 500 µm. Vier Reihen Bumps waren zur Entflechtung erforderlich (Perimeterarray).

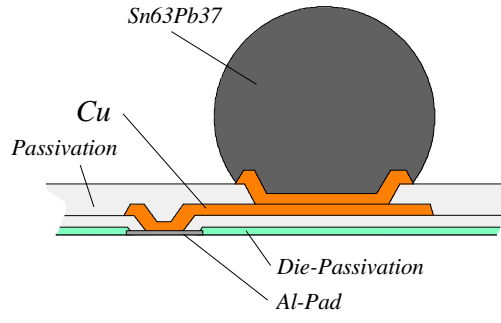


Abbildung 2: Wafer Level CSP nach [2]

3. Anforderungen an Trägertechnologien

Bedingt durch das Anschlussraster der Lotbumps ist der Einsatz einer HDI-Substrattechnologie erforderlich (HDI = High Density Interconnect). Als HDI-Technologie werden Verdrahtungslösungen bezeichnet, die:

- Leitungsbreiten und -abstände $\leq 125 \mu\text{m}$
- Viadurchmesser $\leq 150 \mu\text{m}$

aufweisen. Als Träger können sowohl organische als auch keramische Materialien eingesetzt werden (Tabelle 2).

Organische Träger	Keramische Träger
<ul style="list-style-type: none"> - Lasertechnologie - Photoviatechnologie - Plasmaviatechnologie 	<ul style="list-style-type: none"> - HTCC - LTCC - Dickschicht auf Al_2O_3

Tabelle 2 : HDI-Technologien

Bei den 3 Leiterplattentechnologien sind vergleichbare Auflösungen erreichbar. HTCC und LTCC sind hinsichtlich Via- und Linienauflösung ebenfalls vergleichbar. Der Vorteil von LTCC liegt in der Realisierbar-

keit von Widerständen. Eine Standard-Dickschichtlösung bietet sich für das erforderliche Raster nicht an. Die Machbarkeit über spezielle Techniken wie Diffusion Patterning von DuPont wurde nicht untersucht. Für den 500µm CSP-Pitch ergeben sich die Designrules für die Entflechtung (Via + Leitung) auf LTCC und Leiterplatte nach Abbildung 3.

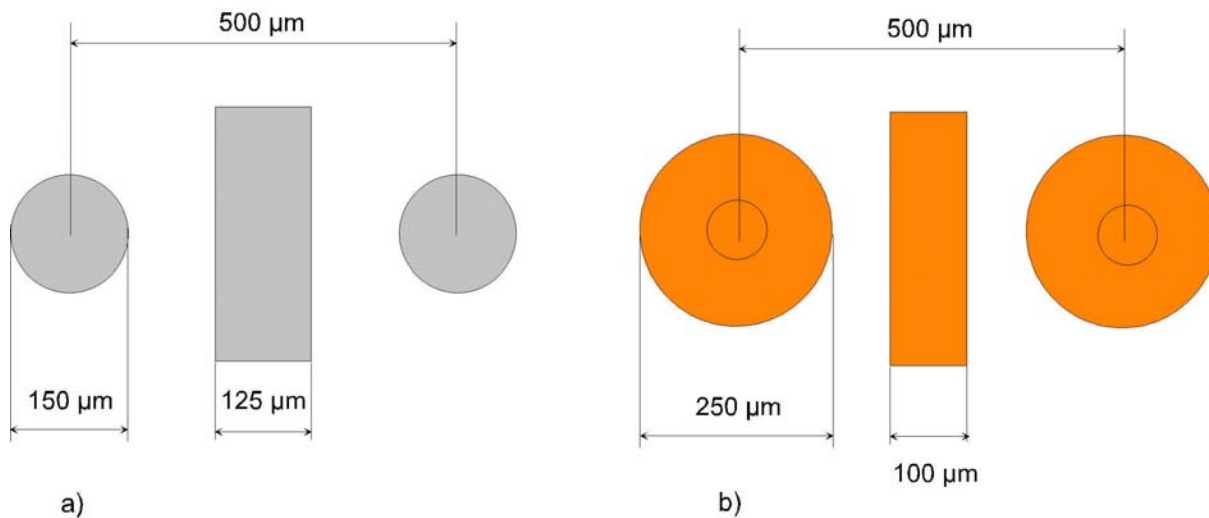


Abbildung 3 : Entflechtung des CSP über a) LTCC b) PCB

Eine Zusammenstellung erforderlicher Designrules ist in [3] enthalten.

4. Prozeßanforderungen beim Assembly von CSPs

Im Rahmen des Projektes wurden Bestückungen auf starr/flexiblen Leiterplatten und LTCC-Substraten realisiert. Aufgrund der Konfiguration der Leiterplatte konnte hier die einseitige Montage eingesetzt werden. Die starren Keramikschaltungen wurden doppelseitig bestückt

4.1 Doppelseitige Bestückung (starre Träger)

Beim Entwurf des Trägersubstrates wurde auf eine strenge Trennung zwischen SMD und CSP-Seite geachtet. Auf der LTCC-Schaltung war dies durch den Einsatz gedruckter Widerstände auf der CSP-Seite machbar. Deshalb ist es möglich, daß die Standard-SMDs in einem separaten Schritt bestückt, gelötet und gereinigt werden.

Durch zusätzlichen Lotpastenauftrag auf den CSP-Pads des Substrates durch Finepitchdruck (Abbildung 4) erreicht man

- einen vergrößerten Stand-Off des CSP (höhere Zuverlässigkeit bei Temperaturwechselbelastung)
- die vollständige Benetzung des Pads auf dem Substrat.
- eine hohe Klebkraft der aufgesetzten CSPs vor dem Reflow

Die CSPs werden in das nasse Lot bestückt. Dieser Vorgang unterteilt sich in Die-Aufnahme, Ausrichtung und Absetzen. Die Aufnahme der CSPs kann aus Gurt, Waffle Pack oder direkt vom Wafer erfolgen. Letzteres verlangt eine zusätzliche „Flipping Unit“ am Bestücker.

Nach der Aufnahme wird die Lage des CSP überprüft. Sie gliedert sich abhängig vom Bestückssystem in:

- Kontrolle der Fiducialbumps (Prüfung auf Verdrehung > 90°)
- Lagekontrolle der Eckbumps (Kompensation des Versatzes, Verdrehung < 90°)
- Prüfung der Anzahl der Bumps
- Prüfung der Bumps auf Unter- bzw. Überschreitung vorgegebener Durchmesser-toleranzen

Über die Wahl dieser Einstellungen wird die Bestückzeit erheblich beeinflusst. Nach dem Reflow kann bei Bedarf und Machbarkeit ein Reinigungsschritt erfolgen (siehe auch Abschn. 4.2). Vor dem Dispensieren des Underfill ist über einen elektrischen Test die Funktionalität des CSPs zu verifizieren, da nach dem Aushärten des Underfill kein CSP-Wechsel mehr möglich ist. Alternativ zum elektrischen Test kann die Bewertung der Lötstellen über Röntgeninspektion gemacht werden. Zur 100% Inspektion ist jedoch entsprechend aufwendiges und teures Equipment erforderlich. Deshalb sollte auf dieses Verfahren nur im Rahmen einer Stichprobenkontrolle und zum Einphasen der Prozesse zurückgegriffen werden.

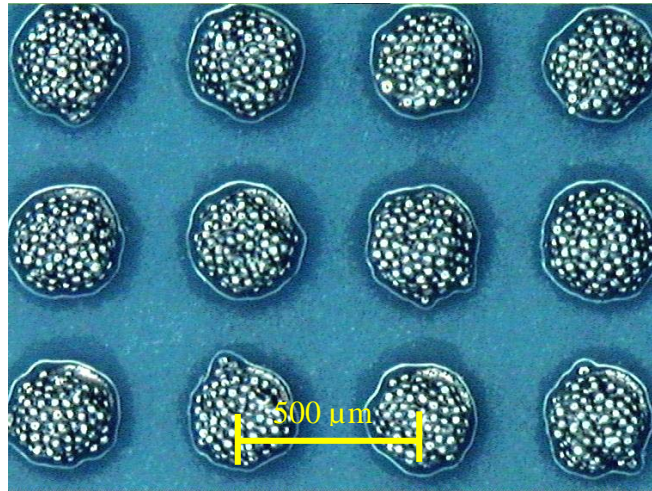


Abbildung 4: Finepitch Pastendruck (500µm Raster)

4.2 Einseitige Bestückung (flexible bzw. starr/flexible Träger)

Die Besonderheit der einseitigen Montage liegt in der kompletten Mischbestückung und dem gemeinsamen Reflow der CSPs zusammen mit den Standard-SMDs. Das CSP-Pad-Raster ist für einen Lotpastendruck gemeinsam mit den SMD-Pads zu gering. Die Lotschablone muß zur Ausbildung hochwertiger Lotstellen eine Mindeststärke aufweisen, um ausreichend Lot auf den SMD-Pads bereitzustellen. Damit macht das resultierende Aspektratio von CSP-Lotmaskenöffnung zu Schablonenstärke einen Finepitchdruck unmöglich. Aus diesem Grund werden nur die Pads der Standardkomponenten bedruckt. Eine Alternative dazu wäre ein zweistufiger Druck mit dünner Finepitch-Schablone (CSPs) gefolgt von einem Druck mit dicker SMD-Schablone, die über entsprechende freigeätzte Hohlräume im Bereich der CSPs verfügt. In einer Linienfertigung wären dazu zwei Lotpastendruker erforderlich.

Die Bestückung verläuft in zwei Stufen. In der 1. Stufe werden die Standardkomponenten aufgesetzt. Danach erfolgt in der 2. Stufe das Platzieren der CSPs. Der Platziervorgang selbst unterscheidet sich von der beschriebenen doppelseitigen Montage nur hinsichtlich des Flussmittelauftrages. Das Flussmittel übernimmt zwei Funktionen. Zum einen wird dadurch eine ausreichende Lotbenetzung der Kontaktpads auf dem Board gewährleistet, andererseits soll das Flussmittel durch seine Klebkraft das Verrutschen der platzierten CSPs verhindern. Das Flussmittel wird über die Verfahren:

a) Dispensen eines niedrigviskosen Flußmittels im Pad-Array

b) Dippen der Lotbumps des CSP in ein höherviskoses Flussmittelreservoir

aufgebracht. Bei den meisten Bestückautomatenherstellern hat sich die Variante b) durchgesetzt. Die Lotbumps werden zwischen 30% bis 50% der Lotkugelhöhe eingetaucht. Das Dispensen hat ein enges Prozessfenster, das durch die Verlauf- und Trockeneigenschaften des Flussmittels bestimmt wird. Allerdings wird bei diesem Verfahren durch den geringen Flussmittelfilm eine minimale Verschmutzung erreicht. Das Dispensen bietet sich insbesondere an, wenn CSPs und FlipChips mit stark abweichenden Lotkugeldurchmessern gemeinsam verwendet werden sollen.

Nach dem Reflow kann eine Reinigung erfolgen. Entscheidend für den Erfolg dabei sind der CSP-Stand-Off und die CSP-Größe. Bei geringem Spalt zwischen CSP und Leiterplatte bzw. bei großen CSPs wird keine ausreichende Reinigung unter dem Chip erzielt. Teilweise kann durch den Reinigungsvorgang bei Mischbestückung der höhere Verschmutzungsanteil der SMD-Komponenten eine gegenteilige Wirkung haben und eine stärkere Kontamination unter den Chips hervorrufen.

Die weitere Verarbeitung ist äquivalent der Prozessierung bei doppelseitiger Bestückung.

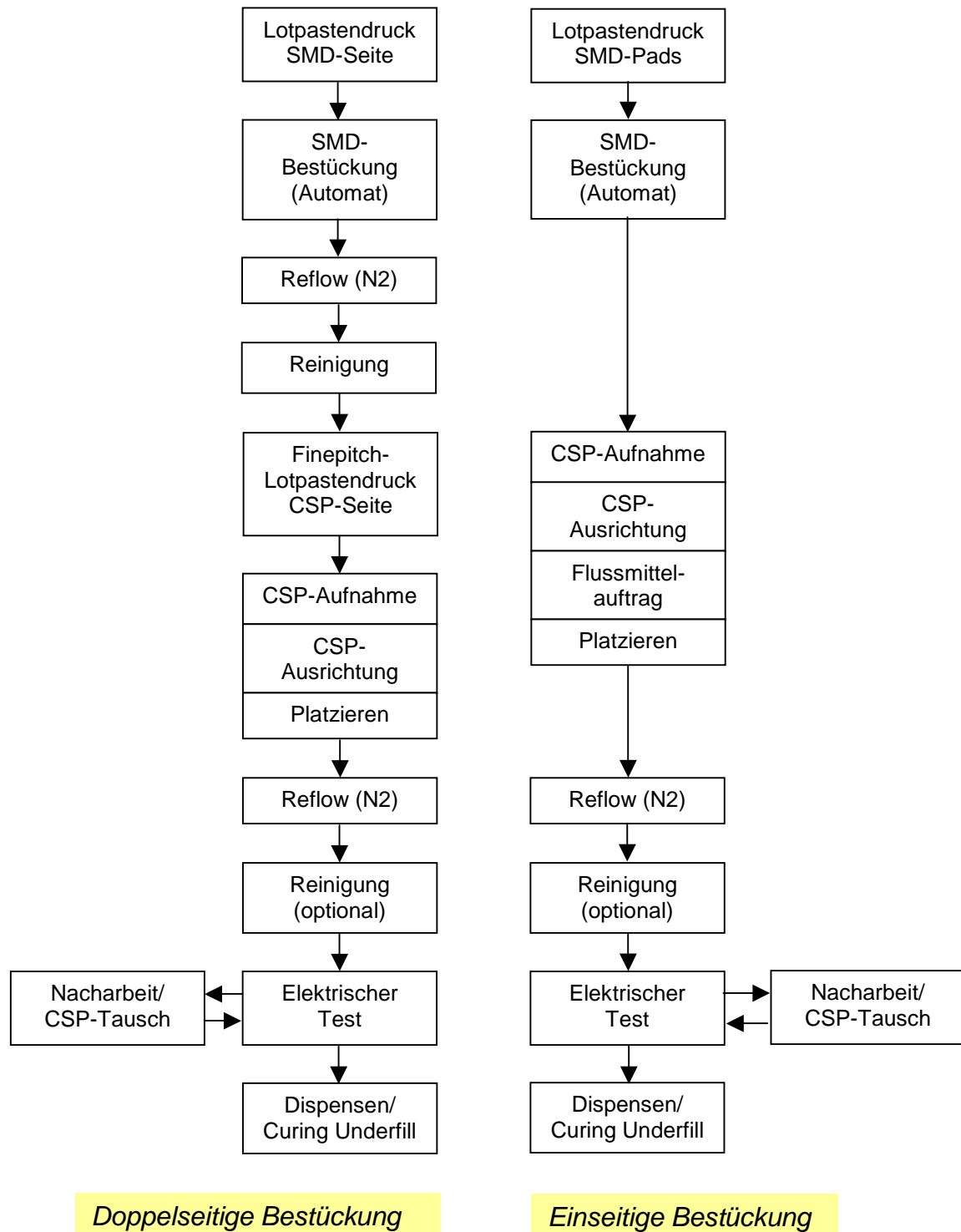


Abbildung 5: CSP-Bestückprozess

5. Zusammenfassung

CSPs bieten hinsichtlich der Miniaturisierung von Schaltungen ein enormes Potential. Im Vergleich zu Standard-SMT-Packages (z.B. QFP) wird eine deutliche Reduktion der Bestückfläche erreicht. Durch Wafer-Level-CSPs kann sogar eine Flächeneinsparung gegenüber drahtgebundenen Schaltkreisen erzielt werden, wenn die zum Underfill benötigte Freifläche geringer als der Bedarf für die umlaufenden Bondentflechtungspads ist. Weiteres Potential bietet die Möglichkeit, mehrere eng benachbarte CSPs gemeinsam mit Underfill zu versehen. Die beste Ausnutzung der Bestückfläche läßt sich auf LTCC erreichen, da die Underfill-Freifläche für gedruckte Widerstände verwendbar ist.

6. Danksagung

Das diesem Vortrag zugrundeliegende Vorhaben wird mit Mitteln des Bundesministeriums für Bildung, Wissenschaft, Forschung und Technologie unter dem Förderkennzeichen 16SV 876/7 "Mikromedi" gefördert. Besonderer Dank gilt den Mitarbeitern der Fraunhofer Gesellschaft Institut für Zuverlässigkeit und Mikrointegration, die die Prozessierung der Wafer Level CSPs durchgeführt haben.

7. Literatur

- [1] Hans Hartmann: SMT und die Anforderungen durch neue Bauteile, Productronic 4/5 2000, Seite 24ff.
- [2] M. Töpfer et al: "Redistribution Technology for Waferlevel CSP", Extended abstract, Advanced Technical Workshop, Ogunquit, June, 1998.
- [3] J. Müller et al.: "Wafer Scale CSP Technology: Design, Substrate and Manufacturing Requirements", Proceedings EMC 1999, Harrogate/England, Juni `99